

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-240919

(43)Date of publication of application : 21.09.1993

(51)Int.Cl.

G01R 31/28

(21)Application number : 04-043571

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 28.02.1992

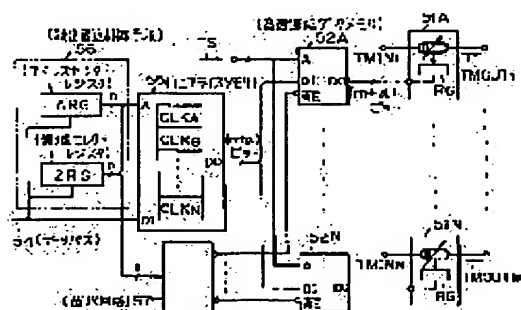
(72)Inventor : YAMADA MASUHIRO

## (54) TIMING CONTROLLER

## (57)Abstract:

**PURPOSE:** To reduce the number of high-speed memories so as to increase the operating speed and reduce the cost by writing linearization-corrected delay data in high-speed data memories and giving the delay data to variable delay circuits after directly reading out the delay data from the data memories.

**CONSTITUTION:** Linearization-corrected delay data are given to a linearizing memory 55 through a data bus 54. When the data are given to the memory 55, the linearization-corrected delay data are written in storing areas CLKA- CLKN designated by a readout/write control means 56 in the order of address. A selection circuit 57 performs writing by transferring the delay data to each high-speed delay data memory 52A-52N. The delay data transferred to the memories 52A-52N are read out with appropriate combinations of delay time, are given to variable delay circuits 51A-51N, and control the delay time of each delay circuit 51A-51N.



## LEGAL STATUS

[Date of request for examination] 05.02.1999

[Date of sending the examiner's decision of rejection] 16.01.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-240919

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl.<sup>5</sup>

G 0 1 R 31/28

識別記号

庁内整理番号

F I

技術表示箇所

6912-2G

G 0 1 R 31/ 28

Q

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号 特願平4-43571

(22)出願日 平成4年(1992)2月28日

(71)出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72)発明者 山田 益弘

東京都練馬区旭町1丁目32番1号 株式会

社アドバンテスト内

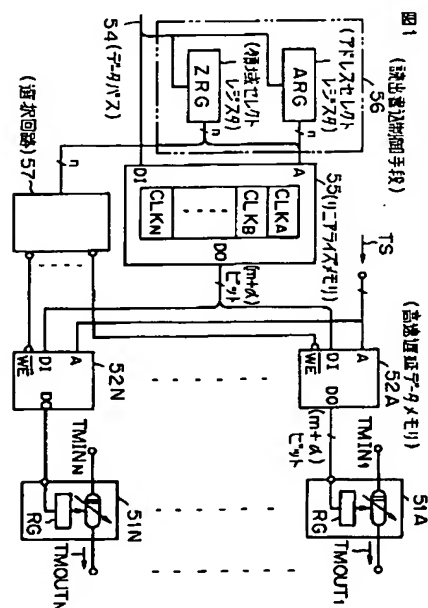
(74)代理人 弁理士 草野 卓 (外1名)

(54)【発明の名称】 タイミング制御装置

(57)【要約】

【目的】 実動中に遅延時間を順次変更することができるタイミング制御装置において、遅延時間の変更を高速に実行することができ、然も高速メモリの使用量を低減し、コストダウンを達することができるタイミング制御装置を提供する。

【構成】 高速遅延データメモリに直線化補正済の遅延データを記憶させ、この高速遅延データメモリから読出した直線化補正済の遅延データを直接可変遅延回路に与える構成としたタイミング制御装置。



## 【特許請求の範囲】

【請求項1】 A. タイミング発生器から出力されるタイミング信号に所望の遅延時間を与える複数の可変遅延回路と、

B. タイミングセットデータが与えられて上記可変遅延回路のそれぞれに与える直線化補正済の遅延データを読み出し、この遅延データを上記複数の可変遅延回路のそれぞれに与える複数の高速遅延データメモリと、

C. これら複数の高速遅延データメモリに書き込む直線化補正済の遅延データの全データを各高速遅延データメモリ別に仕分けして記憶するリニアライズメモリと、

D. 初期設定時に上記リニアライズメモリに記憶した遅延データの中から試験に必要な遅延データを選択して上記高速メモリ毎に割当て記憶領域を読み出す読出手段と、

E. 上記リニアライズメモリの各記憶領域から、上記高速遅延データメモリに遅延データを転送するとき、転送先の高速遅延データメモリを指定する選択回路と、によって構成したタイミング制御装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は例えばIC試験装置に利用することができる、タイミング制御装置に関する。

【0002】

【従来の技術】IC試験装置では、被試験ICに正規のタイミングに整時された試験パターン信号を与えて動作試験を行なう試験モードと、被試験ICの各ピンに与える試験パターン信号の相互の位相を正規のタイミングから漸次ずらして与え、正常に動作する範囲が、予め予定した幅を有しているか否かを問う試験モードとが存在する。

【0003】後者の試験を実行できるようにするために、IC試験装置に従来よりタイミング制御装置が設けられている。つまりこのタイミング制御装置によって被試験ICに与える試験パターン信号の位相を制御している。図2にIC試験装置の概略の構成を示す。図中10は被試験ICを示す。この被試験IC10にはパターン発生器20から波形生成器30を通じて試験パターン信号PAが与えられる。

【0004】40はタイミング発生器を示す。このタイミング発生器40から被試験IC10に与える試験パターン信号PAの位相を規定するタイミング信号TMINが出力され、このタイミング信号TMINがタイミング制御装置50でタイミング制御され、タイミング信号TMOUに交換されて波形生成器30に与えられる。このタイミング信号TMOUによって波形生成器30から出力される試験パターン信号の位相を規定する。

【0005】つまりパターン発生器20から出力されるパターン信号は試験パターン信号をH論理にすべきか、L論理にすべきかを規定する論理データである。波形生成器30ではパターン信号で規定する論理波形をタイミ

ング制御装置50から与えられるタイミング信号TMOUに依りて立上り、及び立下りを規定され、タイミング信号TMOUのタイミングに依りて実波形に変換される。

【0006】被試験IC10の応答出力信号は論理比較器60に与えられ、論理比較器60において、パターン発生器20から出力される期待値パターン信号PBと比較され、不一致を検出することにより不良個所の検出が行なわれる。この発明は例えばこのように構成されるIC試験装置のタイミング制御装置の改良を提案しようとするものである。

【0007】図3に従来のタイミング制御装置の構成を示す。図3に示す51A～51Nはそれぞれ可変遅延回路を示す。この可変遅延回路51A～51Nによってタイミング発生器40から出力されるタイミング信号TMIN、～TMIN<sub>N</sub>に遅延時間を与え、波形生成器30に与えるタイミング信号TMOU、～TMOU<sub>N</sub>の位相を制御する。各可変遅延回路51A～51NにはレジスタRGが設けられ、このレジスタRGにデジタルの遅延データをストアすることにより、この遅延データに対応した遅延時間が設定される。

【0008】遅延データはタイミング発生器40から出力され、遅延データメモリ52A～52N及びリニアライズメモリ53A～53Nに書き込まれる。遅延データメモリ52A～52Nには単純な遅延データ（例えば1NS、2NS、4NS、8NS…に対応した値）が収納される。一方リニアライズメモリ53A…53Nには直線化補正された遅延データが記憶される。直線化補正された遅延データとは遅延データメモリ52A～52Nから読み出されてリニアライズメモリ53Aに与える遅延データよりビット数を大きく採り、遅延データメモリ52A～52Nから読み出される遅延データに端数値用ビットαを付加する。この端数値用ビットαは可変遅延回路51A～51Nが持つ非直線特性を直線化補正するために付加する。

【0009】つまり可変遅延回路51A～51NはレジスタRGにストアした遅延データに従って遅延時間が規定されるが、レジスタRGにストアした遅延データの値と、実際の遅延時間との間にはバラツキが発生する。その理由としてはレジスタRGにストアしたデジタル値はDA変換器でDA変換され、そのDA変換出力を例えばバリキャップのような可変容量素子に与えられ、バリキャップの容量と抵抗器の抵抗値とによって遅延時間を規定する。従って可変容量素子の電圧対容量特性の違いによって各可変遅延回路51A～51Nの遅延特性に差が生じバラツキを持つ。

【0010】リニアライズメモリ53A～53Nに記憶する直線化補正された遅延データはこのバラツキを修正し、例えば遅延時間1NSを設定する場合、その可変遅延回路は1.1NSに相当する遅延データを設定しない

と実際の遅延時間が1 NSにならないものとするれば、この場合にはリニアライズメモリに1. 1 NSに相当するデジタル値を記憶させ、タイミング発生器40から1 NSの遅延時間が指定された場合は、1. 1 NSの遅延データを記憶したアドレスを読み出し、この1. 1 NSに相当するデジタル値を目的とする可変遅延回路のレジスタRGにストアすることにより直線化補正が実現される。このようにリニアライズメモリ53A~53Nには各可変遅延回路51A~51Nが持つ非直線特性を直線化補正するための端数値用ビットαが付加された遅延データが記憶される。

【0011】この直線化補正された遅延データは予め各可変遅延回路51A~51Nの遅延特性を測定して求めておき、その直線化補正した遅延データを例えばフロッピーディスク等の外部記憶装置に取込んでおき、IC試験装置を起動させる際に、外部記憶装置から読んでデータバス54を通じて各リニアライズメモリ53A~53Nに書き込まれる。

【0012】タイミングセットデータTS<sub>0</sub>~TS<sub>n</sub>により各遅延データメモリ52A~52Nに書き込まれた単純な値の遅延データ(1 NS, 2 NS, 3 NS...)が読み出され、この単純な値の遅延データがリニアライズメモリ53A~53Nの各アドレス端子に与えられて単純な値の遅延データに直線化補正を施した遅延データを読み出し、その直線化補正された遅延データを可変遅延回路51A~51Nに与えて遅延時間を制御する。

【0013】ここでタイミングセットデータTS<sub>0</sub>~TS<sub>n</sub>によって読み出される遅延データについて簡単に説明する。遅延データメモリ52A~52Nの各アドレスにはタイミングセットデータTS<sub>0</sub>~TS<sub>n</sub>によって決まる組合せの遅延データが記憶されている。例えばタイミングセットデータTS<sub>0</sub>は遅延データメモリ52A~52Nの各先頭アドレスをアクセスするものとする。各遅延データメモリ52A~52Nの各先頭アドレスには例えば2 NS, 1 NS, 2 NS, 3 NS, 5 NS, 1 NS, 4 NS, ...のような遅延時間の組合せとなる遅延データが記憶されており、この遅延データが読み出され、リニアライズメモリ53A~53Nで直線化補正されて各可変遅延回路51A~51Nに与えられ、それぞれの遅延データに従って遅延時間が規定される。タイミングセットデータTS<sub>0</sub>は各遅延データメモリ52A~52Nの第3アドレスをアクセスする。第3アドレスには遅延データメモリ52A~52Nの順に例えば3 NS, 2 NS, 1 NS, 4 NS, 1 NS...のような組合せの遅延データが記憶されており、この遅延データが読み出されて、それぞれがリニアライズメモリ53A~53Nにおいて直線化補正されて可変遅延回路51A~51Nに与えられる。

【0014】このように各テストサイクル毎に遅延時間が変更されて試験パターン信号の立上り及び立下りの相

互の位相がずらされて試験が行なわれる。

【0015】

【発明が解決しようとする課題】タイミングセットデータTS<sub>0</sub>~TS<sub>n</sub>は1テストサイクル毎に遅延データメモリ52A~52Nに与えられ、結局、可変遅延回路51A~51Nの遅延時間は1テストサイクル毎に更新される。1テストサイクルはテスト周波数が100 MHzの場合10 NSとなるため、この周期で遅延時間を更新するには遅延データメモリ52A~52N及びリニアライズメモリ53A~53Nは極めて高速に読み出ができるメモリでなければならない。然し乍らこのように高速読み出可能なメモリは高価である。

【0016】然も遅延データメモリ52A~52N及びリニアライズメモリ53A~53Nは被試験メモリ10の各ピン毎に設けなければならないから、その数は数100に及ぶ。従って遅延データメモリ52A~52N及びリニアライズメモリ53A~53Nに占めるコストが大きくなる欠点がある。この発明の目的はタイミング制御回路に用いる高速メモリの数を低減し、コストダウンを達することができる構造としたタイミング制御装置を提供しようとするものである。

【0017】

【課題を解決するための手段】この発明では高速データメモリに直線化補正済の遅延データを書込み、この高速データメモリにタイミングセットデータを与えることにより高速データメモリから直接直線化補正済の遅延データを読み出して可変遅延回路に与える構造としたものである。

【0018】この発明の構造によれば、高速のリニアライズメモリが不要となるため高速メモリに要するコストを半減させることができる。然も直線化補正済の遅延データを読み出す動作はメモリ1段で済むから読み出に要する時間も従来と比較して半分の時間にすることができる。この結果、更に高速化が可能となりコストの半減と共にその効果は実用に供して頗る大である。

【0019】

【実施例】図1にこの発明の一実施例を示す。図1において図3と対応する部分には同一符号を付して示す。この発明では高速遅延データメモリ52A~52Nに直線化補正済の遅延データを書込み、この高速遅延データメモリ52A~52NにタイミングセットデータTS<sub>0</sub>~TS<sub>n</sub>を与えることにより、高速遅延データメモリ52A~52Nから直接、直線化補正済の遅延データを読み出し、この遅延データを可変遅延回路51A~51Nに与える構造としたものである。

【0020】高速遅延データメモリ52A~52Nに直線化補正済の遅延データを書込む手段として、この実施例では大容量のリニアライズメモリ55を設ける。この大容量のリニアライズメモリ55には高速遅延データメモリ52A~52Nの数に対応した数の記憶領域CLK

、～CLK<sub>n</sub>が設けられる。この各記憶領域CLK<sub>n</sub>～CLK<sub>n</sub>に各可変遅延回路51A～51Nに設定する全ての直線化補正済の遅延データをアドレス順に記憶する。

【0021】56はこの大容量のリニアライズメモリ55を読出書込制御を行なう読出書込制御手段を示す。この読出書込制御手段56はアドレスセレクトレジスタARGと、領域セレクトレジスタZRGとによって構成することができ、アドレスセレクトレジスタARGによって各記憶領域CLK<sub>n</sub>～CLK<sub>n</sub>の各アドレスを選択し、領域セレクトレジスタZRGによって各記憶領域が選択される。

【0022】直線化補正済の遅延データはデータバス54を通じてリニアライズメモリ55に与えられる。このとき読出書込制御手段56が各記憶領域CLK<sub>n</sub>～CLK<sub>n</sub>を指定し、その各指定した記憶領域にアドレス順に直線化補正済の遅延データを書込む。リニアライズメモリ55から各高速データメモリ52A～52Nに遅延データを転送するために選択回路57が設けられる。この選択回路57は読出書込制御手段56に設けた領域セレクトレジスタZRGと同期して動作し、各高速遅延データメモリ52A～52Nを順次書込状態に制御し、各記憶領域CLK<sub>n</sub>～CLK<sub>n</sub>から読出される直線化補正済の遅延データを各高速遅延データメモリ52A～52Nに転送して書込を行なう。

【0023】この転送時において、各高速遅延データメモリ52A～52Nに転送する遅延データは被試験ICの規格に応じて試験に必要な遅延データだけを読出書込制御手段56で選択して転送を行なう。この遅延データの選択は試験開始時に設定するタイミングデータから与えられ、各高速遅延データメモリ52A～52Nの同一アドレス毎に適当な遅延時間の組合せを持たせて記憶される。

【0024】高速遅延データメモリ52A～52Nに転送された遅延データは各高速データメモリ52A～52Nの各アドレス入力端子Aに与えられるタイミングセッ

トデータTS<sub>n</sub>～TS<sub>n</sub>によって選択されて適当な遅延時間の組合せを持たせて読出され、可変遅延回路51A～51Nに与えられ、各可変遅延回路51A～51Nの遅延時間を制御する。

【0025】

【発明の効果】以上説明したように、この発明によれば可変遅延回路51A～51Nに与える遅延データは高速遅延データメモリ52A～52Nから読出される。よってメモリ1個分のアクセス時間で遅延データを読出すことができるから、従来の構成と比較してアクセスに要する時間を半減させることができる。この結果、遅延データの読出速度を従来の約2倍に引き上げることができる。

【0026】更にこの発明では高速メモリを高速遅延データメモリ52A～52Nだけに適用すればよく、大容量のリニアライズメモリ55は低速のメモリでよい。従って高速メモリの需要個数を少なくすることができ、IC試験装置に占める高速メモリのコストを低減させることができる。更にまた上述した実施例のように、高速遅延データメモリ52A～52Nに全遅延データの中から試験に必要な遅延データだけを転送して記憶させる場合は、高速遅延データメモリ52A～52Nの記憶容量を更に小さくすることができる。よってこの点でもメモリに要するコストを低減できる利点が得られる。

【図面の簡単な説明】

【図1】この発明の一実施例を示すブロック図。

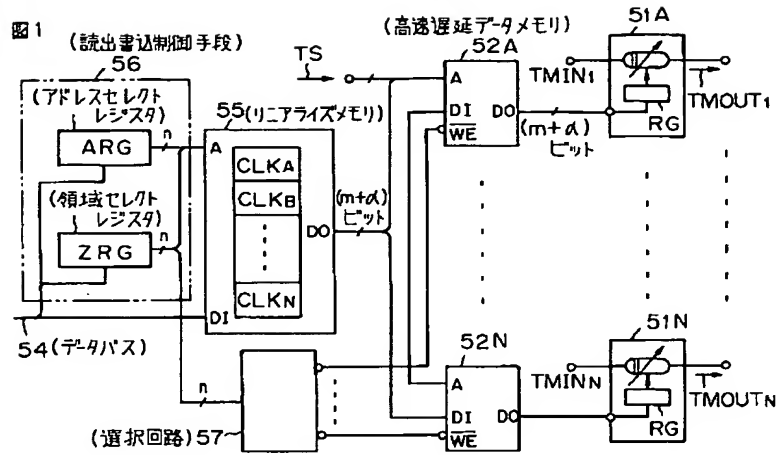
【図2】IC試験装置の概要を説明するためのブロック図。

【図3】従来の技術を説明するためのブロック図。

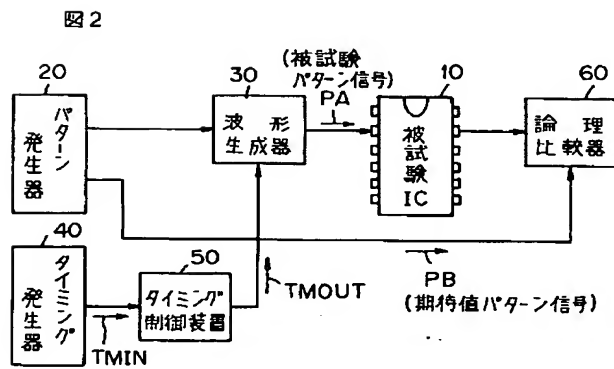
【符号の説明】

51A～51N 可変遅延回路  
52A～52N 高速遅延データメモリ  
55 リニアライズメモリ  
56 読出書込制御手段  
57 選択回路

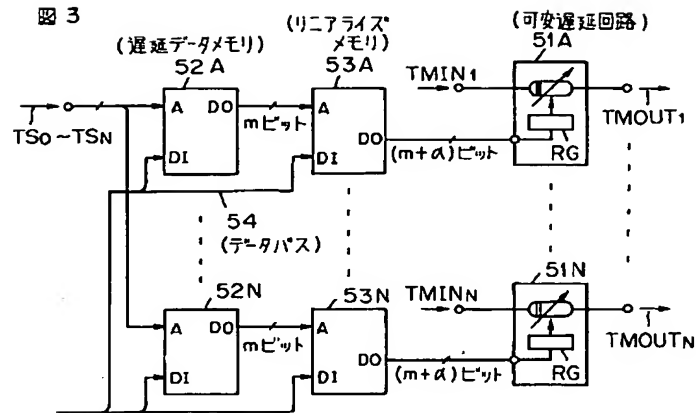
【図1】



【図2】



【図3】



【手続補正書】

【提出日】平成5年1月27日

\*【補正方法】変更

【手続補正1】

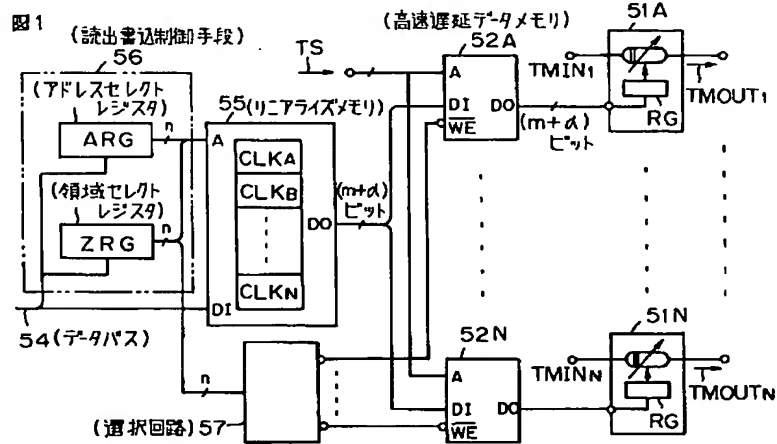
【補正内容】

【補正対象書類名】図面

【図1】

【補正対象項目名】図1

\*



【手続補正2】

【補正方法】変更

【補正対象書類名】図面

【補正内容】

【補正対象項目名】図3

【図3】

